

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09186587 A**(43) Date of publication of application: **15.07.97**

(51) Int. Cl. **H03L 7/099**
H03L 7/10

(21) Application number: **07354498**(71) Applicant: **KENWOOD CORP**(22) Date of filing: **31.12.95**

(72) Inventor: **WAKAI NOBUTAKA**
SATO TETSUYA

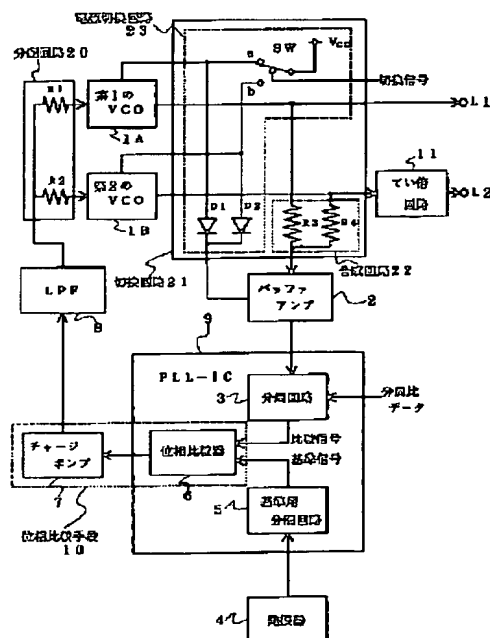
(54) PLL CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To simplify the circuit configuration when any of plural voltage Controlled oscillators(VCO) is oscillated at a desired frequency.

SOLUTION: When a power supply for either of 1st VCO 1A and a 2nd VCO 1B is energized by changeover of a switch SW of a changeover circuit 21, the VCO whose power supply is activated is in operation and oscillated for a prescribed frequency band. The oscillated signal is given via a synthesis circuit 22 to a frequency divider circuit 3, in which the signal is frequency-divided and given to a phase comparator circuit 6 as a comparison signal. On the other hand, the oscillated signal from the oscillator 4 is frequency-divided by a reference frequency divider circuit 5 and given to the phase comparator circuit 6 as a reference signal. The phase comparator 6 compares the phase of the reference signal with the phase of the comparison signal and provides the output of an error signal in terms of digital signals. The error signal is converted into an analog signal by a charge pump 7, an LPF 8 extracts a low frequency component and given to the VCO whose power supply is active as a control voltage via a distribution circuit 20. Thus, the VCO whose power supply is active is locked to a desired frequency and makes oscillation.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186587

(43) 公開日 平成9年(1997) 7月15日

(51) Int.Cl.⁹H 0 3 L 7/099
7/10

識別記号

庁内整理番号

F I

H 0 3 L 7/08
7/10

技術表示箇所

F
Z

審査請求 未請求 請求項の数 6 F D (全 7 頁)

(21) 出願番号 特願平7-354498

(22) 出願日 平成7年(1995)12月31日

(71) 出願人 000003595

株式会社ケンウッド

東京都渋谷区道玄坂1丁目14番6号

(72) 発明者 若井 信孝

東京都渋谷区道玄坂1丁目14番6号 株式
会社ケンウッド内

(72) 発明者 佐藤 徹也

東京都渋谷区道玄坂1丁目14番6号 株式
会社ケンウッド内

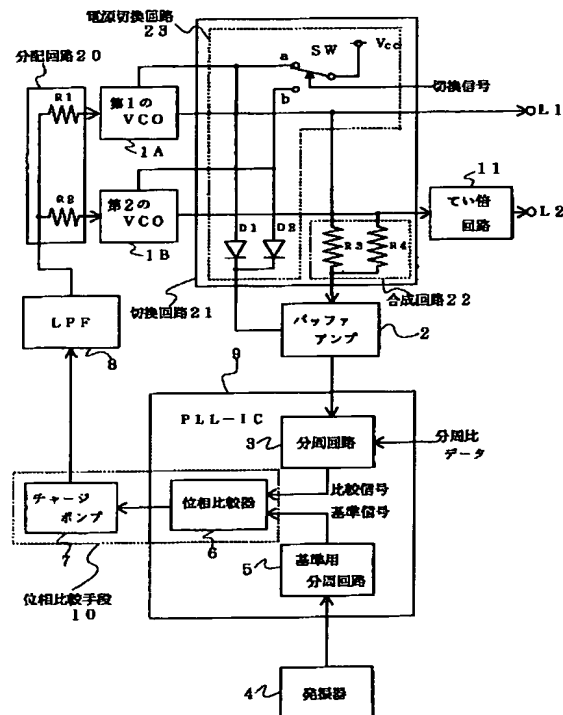
(74) 代理人 弁理士 坪内 康治

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 複数のVCOの中の1つを所望周波数で発振させる場合に回路構成を簡単化する。

【解決手段】 切り換え回路21のスイッチSWの切り換えで第1のVCO1Aと第2のVCO1Bの一方の電源をオンすると、電源オン側のVCOが稼働状態となり、所定周波数帯域内で発振する。発振信号は合成回路22を介して分周回路3に入力されて分周されたのち、位相比較回路6に比較信号として入力される。一方、発振器4の発振信号は基準用分周回路5で分周されたのち基準信号として位相比較器6に入力される。位相比較器6は基準信号と比較信号の位相比較を行い、誤差信号をデジタル形式で出力する。誤差信号はチャージポンプ7でアナログ化され、LPF8で低域成分が取り出されて分配回路20を介して制御電圧として電源がオンしたVCOに出力される。これにより、電源のオンしたVCOは所望周波数にロックして発振する。



【特許請求の範囲】

【請求項1】 基準信号と比較信号との位相比較を行う位相比較手段と、
位相比較手段の出力の低域成分を取り出す低域通過手段と、
各々、低域通過手段の出力を制御電圧として入力し、制御電圧の大きさに応じた周波数で発振可能な複数の電圧制御発振手段と、
複数の電圧制御発振手段の内、1つの発振出力を位相比較手段に比較信号として切り換え出力させる切り換え手段と、
を備えたことを特徴とするPLL回路。

【請求項2】 前記位相比較手段の基準信号の入力側または比較信号の入力側に分周手段を設けたこと、
を特徴とする請求項1記載のPLL回路。

【請求項3】 前記分周手段は外部制御で分周比が可変可能としたこと、
を特徴とする請求項2記載のPLL回路。

【請求項4】 前記複数の電圧制御発振手段は、それぞれ異なる周波数帯域で発振動作を行うようにしたこと、
を特徴とする請求項1または2または3記載のPLL回路。

【請求項5】 前記切り換え手段は、複数の電圧制御発振手段の出力を合成して出力する合成手段と、
複数の電圧制御発振手段に供給される電源を択一的にオンする電源切り換え手段と、
を備えたことを特徴とする請求項1または2または3または4記載のPLL回路。

【請求項6】 前記合成手段と前記位相比較手段の間に緩衝増幅手段を設け、
該緩衝増幅手段の電源は前記電源切り換え手段の出力を合成して供給するように構成したこと、を特徴とする請求項5記載のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はPLL回路に係り、とくに複数のVCOにより複数の周波数帯の発振信号を得るのに好適なPLL回路に関する。

【0002】

【従来の技術】400MHz帯と1200MHz帯のダブルバンド無線受信機では、400MHz帯用と1200MHz帯用の2組のフロントエンドを有しており、ユーザ所望のバンド側のフロントエンドを選択して出力を復調し、音声出力するようにしている。各フロントエンドはダブルスーパーヘテロダイン方式により、第1周波数変換段が周波数可変の第1局部発振信号を用いて例えば30MHzの第1中間周波信号に変換し、第2周波数変換段が周波数固定の第2局部発振信号を用いて455kHzの第2中間周波信号に変換するようになっている。

【0003】周波数可変の第1局部発振信号は通常、図4に示す如きPLL回路（周波数シンセサイザ）を用いて発生させる。所定の周波数帯域内において制御電圧に応じた周波数で発振するVCO（電圧制御発振器）1を設け、VCO1の出力を第1局部発振信号L1としてフロントエンドの第1周波数変換段（図示せず）に出力させるようにする。VCO1の出力をバッファアンプ（緩衝増幅器）2を介して分周比 $1/n$ が外部制御で可変の分周回路3に入力し、分周させたのち比較信号として位相比較器4に入力する。バッファアンプ2は後段の回路の影響がVCO1に回り込まないようにするためのものである。一方、発振器4にて周波数 F_{ref} （MHz）の基準マスタ信号を発生させ、基準用分周器5で $1/m$ に分周し、周波数 f_{ref} の基準信号を得、位相比較器6に基準信号として入力する。

【0004】位相比較器6は位相・周波数比較型で、基準信号と比較信号の位相・周波数比較を行う。位相・周波数比較型は位相・周波数の比較誤差をデジタルで出力するので出力側のチャージポンプ7でアナログ化する。そして、LPF8で低域成分を抽出し、制御電圧としてVCO1に印加する。図4のPLL回路では、基準信号より比較信号の周波数が低いとき、LPF8の出力が大きくなりVCO1の発振周波数が上昇し、逆に、基準信号より比較信号の周波数が高いとき、LPF8の出力が小さくなりVCO1の発振周波数が下降することで、比較信号が基準信号の周波数と位相に追従するように動作する。

【0005】よって、VCO1から出力される第1局部発振信号L1の周波数 f_L は、

$$f_L = n f_{\text{ref}} = n F_{\text{ref}} / m$$

にロックする。 $F_{\text{ref}} = 6.7\text{MHz}$ 、 $m = 268$ とすると $f_{\text{ref}} = 25\text{kHz}$ となる。外部の制御回路（図示せず）から分周回路3に設定する分周比データ n を18400～18800の間の偶数値を取るように可変すれば、VCO1の発振周波数 f_L を、460MHzから470MHzまで50kHzのステップで変化させることができ、400MHz帯受信用のフロントエンドで430MHz～440MHzの周波数の受信信号を上側ヘテロダイン動作により30MHzの第1中間周波信号に変換できる（なお、 $m = 536$ としたとき、 n を36800～37600の間の偶数値を取るように可変すれば、VCO1の発振周波数 f_L を、460MHzから470MHzまで25kHzのステップで変化させることができる）。

【0006】また、第1局部発振信号L1をてい倍回路11に通して周波数を2倍に上げ、分周比データ n を25800～26600の間の整数値を取るように可変すれば、VCO1の発振周波数 f_L を645MHzから665MHzまで25kHzのステップで変化させ、てい倍回路11から出力される第1局部発振信号L2の発振

周波数 f_{L} を 1290MHz から 1330MHz まで 50kHz のステップで変化させることができ、1200MHz 帯用のフロントエンドで 1260MHz ~ 1300MHz の周波数の受信信号を上側ヘテロダイン動作により 30MHz の第 1 中間周波信号に変換できる（なお、 $m=536$ としたとき、 n を 51600 ~ 53200 の間で可変すれば、第 1 局部発振信号 L_2 の発振周波数 f_{L} を、1260MHz から 1330MHz まで 25kHz のステップで変化させることができる）。分周回路 3、基準用分周回路 5、位相比較器 6 は PLL-IC 9 により構成されており、位相比較器 6 とチャージポンプ 7 により位相比較手段 10 が構成されている。

【0007】

【発明が解決しようとする課題】ところで、VCO1 は 1 つで 460MHz から 665MHz までの広い帯域にまたがり発振動作をすることはできない。そこで、ダブルバンド無線受信機では、図 4 の PLL 回路を 2 組用意し、一方の PLL 回路の VCO の動作周波数域を 460MHz ~ 470MHz に合わせ、他方の PLL 回路の VCO の動作周波数域を 645MHz ~ 665MHz に合わせるようにしている。しかし、図 4 の PLL 回路を 2 組も備えることは、多数の部品が必要となるので部品コスト、組立コストが高くなり、また、プリント基板上に広い実装面積を確保する必要がある。本発明は上記した従来技術の問題に鑑み、複数の VCO の中の 1 つを所望周波数で発振させる場合に回路構成を簡化できる PLL 回路を提供することを、その目的とする。

【0008】

【課題を解決するための手段】本発明に係る PLL 回路では、基準信号と比較信号との位相比較を行う位相比較手段と、位相比較手段の出力の低域成分を取り出す低域通過手段と、各々、低域通過手段の出力を制御電圧として入力し、制御電圧の大きさに応じた周波数で発振可能な複数の電圧制御発振手段と、複数の電圧制御発振手段の内、1 つの発振出力を位相比較手段に比較信号として切り換え入力させる切り換え手段と、を備えたことを特徴としている。

【0009】また、本発明に係る他の PLL 回路では、前記位相比較手段の基準信号の入力側または比較信号の入力側に分周手段を設けたこと、を特徴としている。

【0010】また、本発明に係る他の PLL 回路では、前記分周手段は外部制御で分周比が可変可能としたこと、を特徴としている。

【0011】また、本発明に係る更に他の PLL 回路では、前記複数の電圧制御発振手段は、それぞれ異なる周波数帯域で発振動作を行うようにしたこと、を特徴としている。

【0012】また、本発明に係る他の PLL 回路では、前記切り換え手段は、前記複数の電圧制御発振手段の出力を合成して出力する合成手段と、前記複数の電圧制御

発振手段に供給される電源を一時的にオンする電源切り換え手段と、を備えたこと、を特徴としている。

【0013】また、本発明に係る他の PLL 回路では、前記合成手段と前記位相比較手段の間に緩衝増幅手段を設け、該緩衝増幅手段の電源は前記電源切り換え手段の出力を合成して供給するように構成したこと、を特徴としている。

【0014】

【作用】本発明に係る PLL 回路によれば、位相比較手段で基準信号と比較信号との位相比較を行い、低域通過手段で低域成分を取り出し、制御電圧として複数の電圧制御発振手段に入力する。そして、切り換え手段により複数の電圧制御発振手段の内、1 つの発振出力を位相比較手段に比較信号として切り換え入力させる。これにより、位相比較手段、低域通過手段を 1 個ずつ備えるだけで複数の VCO の内、1 つを所望の周波数で発振させることができ、部品点数を減らして部品コスト、組立コストを低くし、また、プリント基板上の実装面積を小さくすることが可能となる。

【0015】また、本発明に係る他の PLL 回路によれば、位相比較手段の基準信号の入力側または比較信号の入力側に設けた分周手段により、基準信号または比較信号を分周したあと位相比較手段で位相比較する。基準信号の入力側で分周することで基準信号用の発振器の発振周波数を上げて動作の安定化を容易に図ることができ、また、比較信号の入力側で分周することで位相比較手段の動作周波数を下げて構成の容易化を図ることができる。

【0016】また、本発明に係る他の PLL 回路によれば、位相比較手段の基準信号の入力側または比較信号の入力側に設けた分周手段の分周比を外部制御で可変する。これにより、電圧制御発振手段の発振周波数を種々に可変することができる。

【0017】また、本発明に係る更に他の PLL 回路によれば、複数の電圧制御発振手段に、それぞれ異なる周波数帯域で発振動作を行わせる。これにより、複数の異なる周波数帯域にわたる発振出力を得ることができる。

【0018】また、本発明に係る他の PLL 回路によれば、電源切り換え手段により複数の電圧制御発振手段に供給される電源を一時的にオンし、該電源のオンされた電圧制御発振手段の出力を合成手段を介して出力することで、複数の電圧制御発振手段の内、1 つの発振出力を位相比較手段側に切り換え入力させる。これにより、或る電圧制御発振手段に発振出力を行わせている間、他の電圧制御発振手段が停止状態となるので、発振信号の輻射による誤動作の発生を防止することができる。

【0019】また、本発明に係る他の PLL 回路によれば、合成手段の出力を緩衝増幅手段を介して位相比較手段に出力し、また、緩衝増幅手段の電源は前記電源切り換え手段の出力を合成して供給する。これにより、緩衝

増幅手段の後段の影響が電圧制御発振手段に回り込んで誤動作しないようにできるとともに、複数の電圧制御発振手段の発振動作を全て停止させるため、電源切り換え手段を中立ポジションにしたとき、緩衝増幅手段への電源供給が止まるので、無入力時に浮遊容量等の影響で発振し易い緩衝増幅手段が間違った発振動作をするのを防止することができる。

【0020】

【実施例】図1は本発明の一実施例に係るダブルバンド無線受信機に設けられて、400MHz帯受信用の第1局部発振信号L1と1200MHz帯受信用の第1局部発振信号L2を形成するPLL回路の回路図であり、図4と同一の構成部分には同一の符号が付してある。図1は第1のVCOで460MHz～470MHzの発振を行い、第2のVCOで645MHz～665MHzの発振を行うようにしたものである。20は抵抗R1とR2から成る分配手段であり、LPF8から出力された制御電圧を2系統に分配する。1Aは400MHz帯（460MHz～470MHz）の周波数帯域で発振動作が可能な第1のVCOであり、電源供給がオンしているとき、分配回路20の抵抗R1から入力する制御電圧の大きさに応じた周波数で発振する。1Bは600MHz帯（645MHz～665MHz）の周波数帯域で発振動作が可能な第2のVCOであり、電源供給がオンしているとき、分配回路20の抵抗R2から入力する制御電圧の大きさに応じた周波数で発振する。第1のVCO1Aの発振出力はそのままの周波数で400MHz帯受信用のフロントエンド（図示せず）に第1局部発振信号L1として出力される。一方、第2のVCO1Bの発振出力は後述する倍回路11で周波数を2倍に変換したあと1200MHz帯受信用のフロントエンド（図示せず）に第1局部発振信号L2として出力される。

【0021】21は切り換え回路であり、第1のVCO1Aと第2のVCO1Bの内、ユーザ所望の受信バンド側のVCOの発振出力を位相比較手段10の側に比較信号として切り換え出力させる。PLL回路は切り換え回路21が第1のVCO1Aの発振出力を次段に出力しているとき、第1のVCO1Aがユーザ所望の周波数で発振するように制御し、切り換え回路21が第2のVCO1Bの発振出力を次段に出力しているとき、第2のVCO1Bがユーザ所望の周波数で発振するように制御する。

【0022】切り換え回路21の内、22は第1のVCO1Aの出力と第2のVCO1Bの出力を合成してバッファアンプ2に出力する合成回路であり、第1のVCO1Aの出力側とバッファアンプ2の入力側の間に設けられた抵抗R3と第2のVCO1Bの出力側とバッファアンプ2の入力側の間に設けられた抵抗R4とから構成されている。また、23は電源切り換え回路であり、V_αをa側の第1のVCO1Aとb側の第2のVCO1Bに

切り換えて出力するスイッチSWと、スイッチSWのa側とバッファアンプ2の電源入力端子の間に設けられた逆阻止用のダイオードD1及びスイッチSWのb側とバッファアンプ2の電源入力端子の間に設けられた逆阻止用のダイオードD2とから成る。その他の構成部分は図4に示す従来例と全く同様に構成されている。

【0023】次に、上記実施例の動作を説明する。400MHz帯受信用の第1局部発振信号L1を発生させたい場合、図示しない制御回路が切り換え信号を出力して電源切り換え回路23のスイッチSWをa側に切り換える。すると、第1のVCO1Aの電源がオンし、該第1のVCO1Aが400MHz帯の周波数帯域の中で分配回路20から入力する制御電圧に応じた周波数で発振する。スイッチSWのa側への切り換えによりダイオードD1を介してバッファアンプ2にもV_αが供給されて稼働状態となる（この際、ダイオードD2で逆阻止されるので、誤ってV_αが第2のVCO1Bに供給されることはない）。この結果、第1のVCO1Aの発振出力は合成回路22を介してバッファアンプ2に輸入され、該バッファアンプ2から低出力インピーダンス状態でPLL-IC9の分周回路3に輸入される。分周回路3は図示しない制御回路から入力した分周比データnに基づき、バッファアンプ2から入力した発振信号を1/nに分周し、位相比較器6に比較信号として出力する。

【0024】一方、発振器4にて周波数F_{ref}（MHz）の基準マスタ信号を発生させ、基準用分周器5で1/mに分周し、周波数f_{ref}の基準信号を得、位相比較器6に基準信号として入力する。位相比較器6は位相・周波数比較型で、基準信号と比較信号の位相・周波数比較を行う。位相・周波数比較型は位相・周波数の比較誤差をデジタルで出力するので出力側のチャージポンプ7でアナログ化する。そして、LPF8で低域成分を抽出し、分配回路20を介して制御電圧として第1のVCO1Aに印加する。よって、第1のVCO1Aから出力される第1局部発振信号L1の周波数f_uは、

$$f_u = n f_{ref} = n F_{ref} / m$$

にロックする。F_{ref}=6.7MHz、m=268とするとf_{ref}=25kHzとなる。外部の制御回路（図示せず）から分周回路3に設定する分周比データnを18400～18800の間の偶数値を取るように可変すれば、第1のVCO1Aの発振周波数f_uを、460MHzから470MHzまで50kHzのステップで変化させることができ、400MHz帯受信用のフロントエンドで430MHz～440MHzの周波数の受信信号を上側ヘテロダイン動作により30MHzの第1中間周波信号に変換できる（なお、基準用分周回路5の分周比データmも外部制御で可変できるようにし、例えば、m=536に可変したとき、nを36800～37600の間の偶数値を取るように可変すれば、第1のVCO1Aの発振周波数f_uを、460MHzから470MHzま

で25kHzのステップで変化させることができるようになる)。

【0025】これと異なり、1200MHz帯の受信を行うため1200MHz帯の発振周波数域を持つ用の第1局部発振信号L2を発生させたい場合、図示しない制御回路が切り換え信号を出力して電源切り換え回路23のスイッチSWをb側に切り換える。すると、第2のVCO1Bの電源がオンし、該第2のVCO1Bが600MHz帯の周波数帯域の中で分配回路20から入力する制御電圧に応じた周波数で発振する。スイッチSWのb側への切り換えによりダイオードD2を介してバッファアンプ2にも V_{cc} が供給されて稼働状態となる(この際、ダイオードD1で逆阻止されるので、誤って V_{cc} が第1のVCO1Aに供給されることはない)。この結果、第2のVCO1Bの発振出力は合成回路22を介してバッファアンプ2に入力され、該バッファアンプ2から低出力インピーダンス状態でPLL-IC9の分周回路3に入力される。分周回路3は図示しない制御回路から入力した分周比データnに基づき、バッファアンプ2から入力した発振信号を1/nに分周し、位相比較器6

に比較信号として出力する。

【0026】位相比較器6は基準信号と比較信号の位相・周波数比較を行い、チャージポンプ7がアナログ化する。そして、LPF8は低域成分を抽出し、分配回路20を介して制御電圧として第2のVCO1Bに印加する。よって、第2のVCO1Bの発振周波数 f_{1B} は、 $f_{1B} = n f_{ref} = n F_{ref} / m$ にロックし、てい倍回路11から出力される第1局部発振信号L2の発振周波数 f_{1A} は、 $f_{1A} = n f_{ref} = n F_{ref} / m$

にロックする。 $F_{ref} = 6.7\text{MHz}$ 、 $m = 268$ とすると $f_{ref} = 25\text{kHz}$ となる。外部の制御回路(図示せず)から分周回路3に設定する分周比データnを25800~26600の間の整数値を取るように可変すれば、第2のVCO1Bの発振周波数 f_{1B} を645MHzから665MHzまで25kHzのステップで変化させることができ、第1局部発振信号L2の発振周波数 f_{1A} を1290MHzから1330MHzまで50kHzのステップで変化させることができ、1200MHz帯受信用のフロントエンドで1260MHz~1300MHzの周波数の受信信号を上側ヘテロダイン動作により30MHzの第1中間周波信号に変換できる(なお、基準用分周回路5の分周比データmも外部制御で可変できるようにし、例えば、 $m = 536$ に可変したとき、nを51600~53200の間の整数値を取るように可変すれば、第2局部発振信号L2の発振周波数 f_{1B} を、1290MHzから1330MHzまで25kHzのステップで変化させることができるようになる)。

【0027】この実施例によれば、PLL-IC9、発振器4、チャージポンプ7、LPF8を1つずつ備える

(5)

10

20

30

40

50

だけで、第1のVCO1Aに400MHz帯受信用の所望周波数の第1局部発振信号L1を発生させ、第2のVCO1Bに1200MHz帯受信用の所望周波数の発振信号を発生させることができ、部品点数を減らして部品コスト、組立コストを低くし、また、プリント基板上の実装面積を小さくすることが可能となる。また、発振器4の出力を基準用分周回路5で分周して所定周波数の基準信号を得るようにしたので、基準信号の周波数を低くしたい場合でも、発振器4には安定度は高いが低い周波数での発振が難しい水晶発振子を用いることができる。また、バッファアンプ2の出力を分周回路3で分周して位相比較器6に入力するようにしたので、第1、第2のVCO1A、1Bを高い周波数で発振させたい場合でも位相比較器6の動作周波数は低くて済み、構成上の負担が少なく済み。

【0028】また、分周回路3の分周比を外部制御で可変できるので、第1、第2のVCO1A、1Bの発振周波数を種々に可変することができる。更に、基準用分周回路5の分周比も外部制御で可変できるようにすれば、第1、第2のVCO1A、1Bの発振周波数の可変ステップを変えることができる。また、第1、第2のVCO1A、1Bの出力側を合成回路22を介してPLL-IC9の側に出力させるようにするとともに、電源切り換え回路23にて第1、第2のVCO1A、1Bの電源を択一的にオンして第1、第2のVCO1A、1Bの発振出力を切り換え、PLL-IC9に入力させるようにしたので、一方のVCOに発振出力を行わせている間、他方のVCOを停止状態とでき、該他方のVCOの発振信号の輻射による誤動作の発生を防止することができる。

また、切り換え回路21とPLL-IC9の間にバッファアンプ2を設けたので、PLL-IC9の側からの電氣的影響が第1のVCO1A、第2のVCO1Bに回り込んで誤動作させないことができる。更に、2つのVCOの発振動作を共に停止させるため、スイッチSWを中立ポジションにしたとき、バッファアンプ2への電源供給が止まるので、無入力時に浮遊容量等の影響で発振し易いバッファアンプ2が間違った発振動作をするのを防止することができる。

【0029】なお、上記した実施例では、LPF8の出力側で第1、第2のVCO1A、1Bの前段に抵抗R1、R2から成る分配回路20を設けたが、抵抗R1を第1のVCO1Aに含め、抵抗R2を第2のVCO1Bに含めるようにしても良い。また、切り換え回路21は合成回路22と電源切り換え回路23とから構成したが、これらにバッファアンプ2も含めるようにしても良い。また、上記した実施例ではVCOを2組設ける場合につき説明したが、本発明は何らこれに限定されず、3個以上設ける場合にも同様に適用することができる。また、ダブルバンド無線受信機の周波数変換用の発振出力を得る場合につき説明したが、他の用途の発振出力を得

る場合にも適用することができる。また、位相比較器の入力側で比較信号を分周する分周回路や基準周波数信号を分周する分周回路は任意に設けるようにすれば良い。また、チャージポンプ内蔵のPLL-ICを用いてもよく、位相比較器も位相・周波数比較型以外の例えば、EX-OR型、R-Sフリップフロップ型などとしても良い。また、複数のVCOは必ずしも異なる周波数帯域で発振動作をする必要はなく、複数のVCOの全部または一部が互いに同一または重なる周波数帯域で発振動作をするようにしても良い。

【0030】また、図2に示す切り換え回路21Aの電源切り換え回路23Aの如く、ダイオードD1、D2を省略してバッファアンプ2に常時、 V_{cc} が供給されるようにしたり、或いは、図3に示す切り換え回路21Bの如く、電源切り換え回路を省略して第1のVCO1Aと第2のVCO1Bにも常時、 V_{cc} を供給するようにし、抵抗R3、R4とバッファアンプ2の間にスイッチSWを設け、スイッチSWをa側に切り換えて第1のVCO1Aの出力をPLL-IC9の側に入力させ、第1のVCO1Aを所望周波数で発振させたり、スイッチSWをb側に切り換えて第2のVCO2Aの出力をPLL-IC9の側に入力させ、第2のVCO1Bを所望周波数で発振させたりしても良い。

【0031】

【発明の効果】本発明に係るPLL回路によれば、位相比較手段で基準周波数信号と比較信号との位相比較を行い、低域通過手段で低域成分を取り出し、制御電圧として複数の電圧制御発振手段に入力する。そして、切り換え手段により複数の電圧制御発振手段の内、1つの発振出力を位相比較手段に比較信号として切り換え入力させるように構成したので、位相比較手段、低域通過手段を1個ずつ備えるだけで複数のVCOの内、1つを所望の周波数で発振させることができ、部品点数を減らして部品コスト、組立コストを低くし、また、プリント基板上の実装面積を小さくすることが可能となる。

【0032】また、本発明に係る他のPLL回路によれば、位相比較手段の基準信号の入力側または比較信号の入力側に設けた分周手段により、基準信号または比較信号を分周したあと位相比較手段で位相比較するように構成したので基準信号の入力側で分周することで基準信号用の発振器の発振周波数を上げて動作の安定化を容易に図ることができ、また、比較信号の入力側で分周することで位相比較手段の動作周波数を下げて構成の容易化を図ることができる。

【0033】また、本発明に係る他のPLL回路によれば、位相比較手段の基準信号の入力側または比較信号の入力側に設けた分周手段の分周比を外部制御で可変する *

* ように構成したので、電圧制御発振手段の発振周波数を種々に可変することができる。

【0034】また、本発明に係る更に他のPLL回路によれば、複数の電圧制御発振手段に、それぞれ異なる周波数帯域で発振動作を行わせるように構成したので、複数の異なる周波数帯域にわたる発振出力を得ることができる。

【0035】また、本発明に係る他のPLL回路によれば、電源切り換え手段により複数の電圧制御発振手段に供給される電源を択一的にオンし、該電源のオンされた電圧制御発振手段の出力を合成手段を介して出力することで、複数の電圧制御発振手段の内、1つの発振出力を位相比較手段側に切り換え入力させるように構成したので、或る電圧制御発振手段に発振出力を行わせている間、他の電圧制御発振手段が停止状態となり、発振信号の輻射による誤動作の発生を防止することができる。

【0036】また、本発明に係る他のPLL回路によれば、合成手段の出力を緩衝増幅手段を介して位相比較手段に出力し、また、緩衝増幅手段の電源は前記電源切り換え手段の出力を合成して供給する。これにより、緩衝増幅手段の後段の影響が電圧制御発振手段に回り込んで誤動作しないようにできるとともに、複数の電圧制御発振手段の発振動作を全て停止させるため、電源切り換え手段を中立ポジションにしたとき、緩衝増幅手段への電源供給が止まるので、無入力時に浮遊容量等の影響で発振し易い緩衝増幅手段が間違った発振動作をするのを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るPLL回路の回路図である。

【図2】切り換え回路の変形例を示す回路図である。

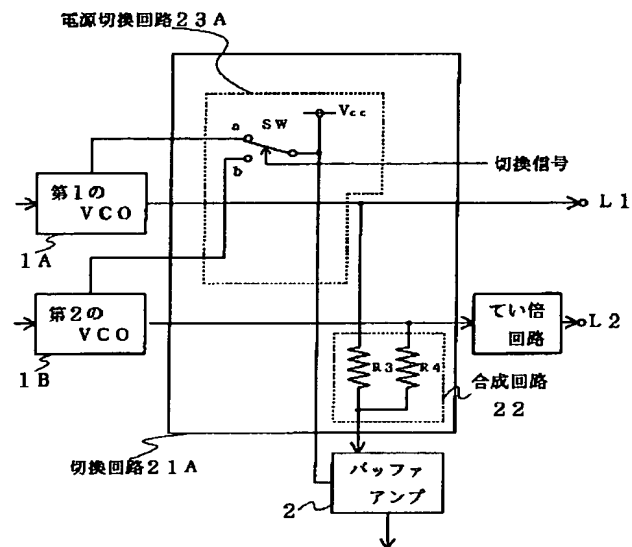
【図3】切り換え回路の他の変形例を示す回路図である。

【図4】従来のPLL回路の回路図である。

【符号の説明】

1 A	第1のVCO	1 B	第2のVCO
3	分周回路	4	発振器
5	基準用分周回路	6	位相比較器
7	チャージポンプ	8	LPF
9	PLL-IC	10	位相比較手段
11	てい倍回路	20	分配回路
21、21A、21B	切り換え回路		
22	合成回路	23、23A	電源切り換え回路

【図 2】



【図 4】

